

333-238

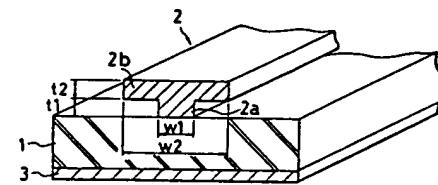
AK

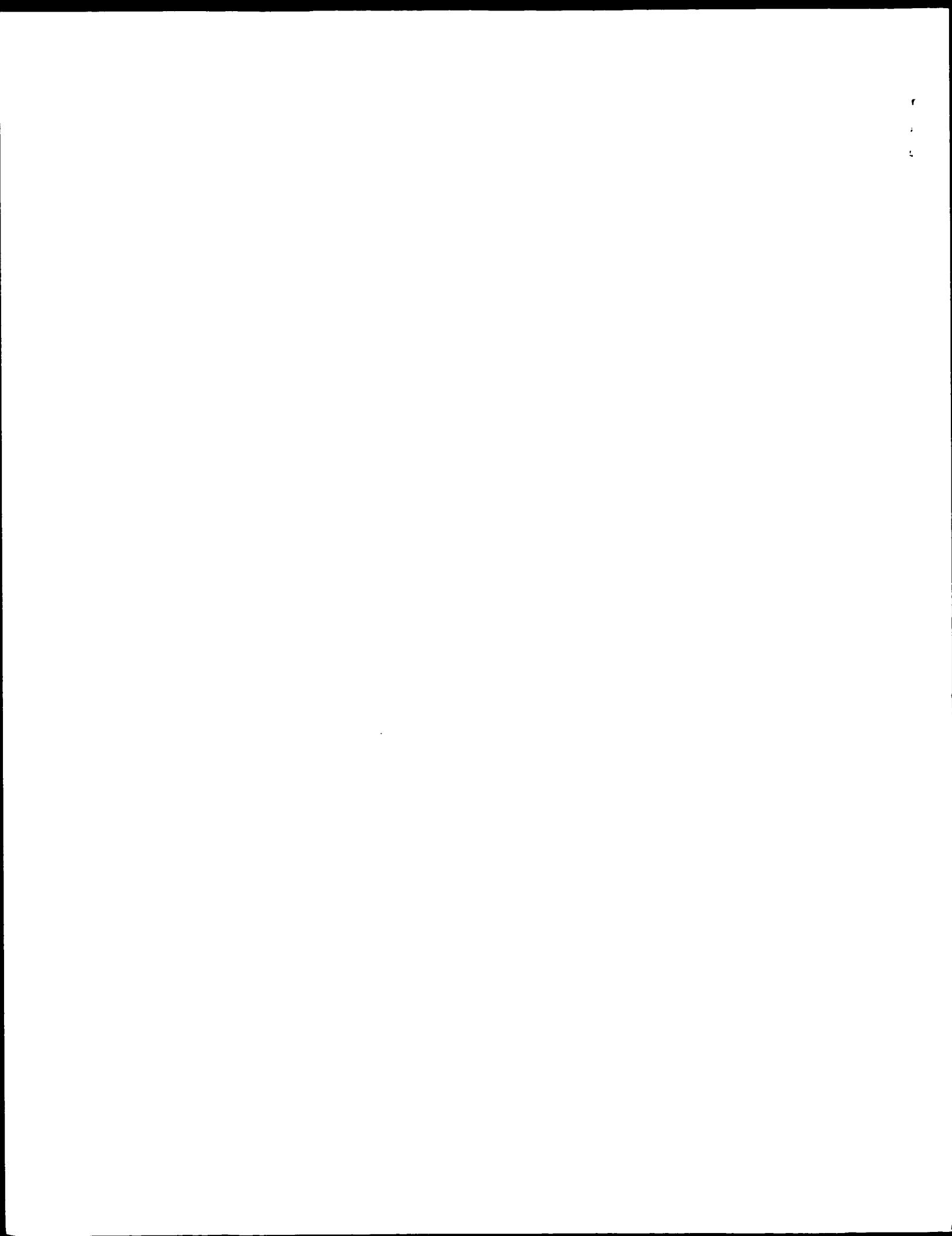
(54) MICROSTRIPLINE

(11) 1-158801 (A) (43) 21.6.1989 (19) JP
(21) Appl. No. 62-316319 (22) 16.12.1987
(71) FUJITSU LTD (72) MASAFUMI SHIGAKI(3)
(51) Int. Cl. H01P3/08, H01L21/88//H03F3/60

PURPOSE: To reduce the loss and to increase the current capacity by providing a conductor whose cross section is of T-shape and the width of the upper part of which is selected to be twice or over the width of the base on a dielectric base whose lower face is provided with a ground conductor.

CONSTITUTION: The conductor 2 whose cross section is of T-shape and the width of the upper part 2b of which is selected to be twice or over the width of the base 2a is provided on the dielectric base 1 having the ground conductor 3 on its lower face. Since the upper part 2b of the conductor 2 whose cross section is of T shape is surrounded by air (dielectric constant $\epsilon_r = 1$), the upper part 2b does not almost contribute the impedance and the impedance of the microstrip line depends nearly on the width of the base 2a. Thus, the microstrip line with a high impedance and low loss is easily formed and the cross sectional area is increased, then the current capacity is increased.





⑯ 日本国特許庁 (JP)

⑮ 特許出願公開

⑯ 公開特許公報 (A) 平1-158801

⑯ Int.Cl.

H 01 P 3/08
H 01 L 21/88
// H 03 F 3/60

識別記号

庁内整理番号

8626-5J
A-6708-5F
6658-5J

⑯ 公開 平成1年(1989)6月21日

⑯ 発明の名称 マイクロストリップライン

⑯ 特願 昭62-316319

⑯ 出願 昭62(1987)12月16日

⑯ 発明者 志垣 雅文 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑯ 発明者 斎藤 民雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑯ 発明者 永友 和雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑯ 発明者 鈴木 秀威 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑯ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑯ 代理人 弁理士 柏谷 昭司 外1名

明細書

1 発明の名称

マイクロストリップライン

2 特許請求の範囲

下面に接地導体(3)を有する誘電体基板(1)上に、上部(2b)の幅を基部(2a)の幅の2倍以上とした断面T字状の導体(2)を設けたことを特徴とするマイクロストリップライン。

3 発明の詳細な説明

(概要)

マイクロ波集積回路等に於けるマイクロストリップラインに關し、

マイクロストリップラインの損失の低減及び電流容量の増大を図ることを目的とし、

下面に接地導体を有する誘電体基板上に、上部の幅を基部の幅の2倍以上とした断面T字状の導体を設けて構成した。

(産業上の利用分野)

本発明は、マイクロ波集積回路等に於けるマイクロストリップラインに関するものである。

マイクロ波集積回路(MIC)は、セラミック等の誘電体基板上に、トランジスタチップや回路素子チップ等を搭載して構成するハイブリッド型と、G a A s等の半導体基板上にトランジスタ等の能動素子と共に整合回路等を形成して構成するモノリシック型とに大別される。このようなマイクロ波集積回路に於ける配線は、通常マイクロストリップラインが用いられている。

(従来の技術)

従来のマイクロストリップラインは、例えば、第4図に示す構成を有するものであり、21は誘電体基板、22は導体、23は接地導体である。誘電体基板21は、ハイブリッド型のマイクロ波集積回路を形成する場合に、厚さが $250\mu m \sim 650\mu m$ のアルミナ(Al_2O_3) (比誘電率 $\epsilon_r = 9.5 \sim 9.9$)が比較的多く使用され、モノリシック型のマイクロ波集積回路を形成する場合は、厚さが $50\mu m \sim 150\mu m$ のG a A s (比誘電率 $\epsilon_r = 13$)が比較的多く使用される。

前述のマイクロストリップラインのインピーダ

ンス Z_0 は、誘電体基板 21 の比誘電率 ϵ_r 、厚さ、導体 22 の幅等により定まるものであり、誘電体基板 21 の比誘電率 ϵ_r が大きいと、インピーダンス Z_0 は小さくなり、又導体 22 の幅を広くすると、インピーダンス Z_0 は小さくなる。従って、 50Ω 等の所望のインピーダンス Z_0 を得る為の導体 22 の幅は、誘電体基板 21 としてアルミナを用いた場合よりも、比誘電率 ϵ_r が大きい GaAs を用いた場合に狭くすることができ、小型化を図ることができる。又導体 22 の厚さは一般には幅に対して無視し得る程度に選定されている。

第5図はマイクロ波增幅回路の説明図であり、31は入力端子、32は出力端子、33、34は電界効果トランジスタ、35～39はコンデンサ、40～43はバイアス電圧印加用の端子、44～51はマイクロストリップラインからなる整合回路等の回路素子ある。

回路素子 44～41を含めて、各部はマイクロストリップラインにより接続されており、又電界

効果トランジスタ 33、34は、端子 40、42 からゲートバイアス電圧が印加され、端子 41、43 からドレインバイアス電圧が印加されて、入力端子 31 に加えられたマイクロ波信号が並列接続のトランジスタ 33、34により増幅され、出力端子 32 から出力される。

ドレインバイアス電圧を印加する為の回路素子 47、51 は、比較的高インピーダンスとするものであり、従って、この回路素子 47、51 を構成するマイクロストリップラインの導体 22 (第4図参照) の幅は狭く形成されている。

(発明が解決しようとする問題点)

モノリシック型のマイクロ波集積回路に於いては、前述のように、アルミナ基板 (例えば、厚さ $250 \sim 650 \mu m$) に比べて一般に板厚が薄く (例えば、厚さ $50 \sim 150 \mu m$)、且つ誘電率の高い GaAs 基板を用いるものであるから、アルミナ基板を用いた場合よりも、同一のインピーダンスを得る為のマイクロストリップラインの導体 22 の幅を狭くする必要がある。その為に、マ

(3)

イクロストリップラインによる損失が大きくなり、増幅回路としての利得を大きくすることができないことになる。

又マイクロストリップラインの幅を狭くすることにより、電流容量が小さくなり、比較的大きい電流を供給する必要がある電力増幅回路に於いては、充分な電流が供給できない欠点が生じる。

又第5図に示すような増幅回路に於いては、整合回路やスタブを含めてマイクロストリップラインのバターニングを行った後、最終配線工程として金 (Au) 等を鍍金するものであるが、これによって、マイクロストリップラインの導体 22 (第4図参照) の幅の精度が低下し、数 μm の導体 22 の幅に対する誤差が大きくなるから、所望のインピーダンスからずれる欠点があった。

本発明は、マイクロストリップラインの損失の低減及び電流容量の増大を図ることを目的とするものである。

(問題点を解決するための手段)

本発明のマイクロストリップラインは、断面 T

(4)

字状としたものであり、第1図を参照して説明する。下面に接地導体 3 を有する誘電体基板 1 上に、上部 2b の幅を基部 2a の幅の 2 倍以上とした断面 T 字状の導体 2 を設けたものである。

(作用)

マイクロストリップラインを構成する断面 T 字状の導体 2 の上部 2b は、その周囲が空気 (誘電率 $\epsilon_r = 1$) であるから、インピーダンスには殆ど寄与しないものとなり、マイクロストリップラインのインピーダンスとしては、基部 2a の幅でほぼ決定される。従って、高インピーダンスで低損失のマイクロストリップラインを容易に形成することができる。又断面積が大きくなるから、電流容量を大きくすることができる。

(実施例)

以下図面を参照して本発明の実施例について詳細に説明する。

第1図は本発明の実施例の説明図であり、接地導体 3 を下面に形成した誘電体基板 1 上に、断面 T 字状の導体 2 を設けたものである。この導体 2

(5)

(6)

の上部 2 b の幅 w 2 を、基部 2 a の幅 w 1 の 2 倍以上とするものある。例えば、GaAs を誘電体基板 1 とし、30 GHz 帯に於いて、高インピーダンスが要求されるマイクロストリップラインの導体 2 の基部 2 a の幅 w 1 を 5 μm、厚さ t 1 を 2 μm、上部 2 b の幅 w 2 を 10 μm、厚さ t 2 を 2 μm とすることができる。

マイクロストリップラインのインピーダンスとしては、前述のように、導体 2 の上部 2 b の周囲が比誘電率 ϵ_r の空気であるから、誘電体基板 1 上の導体 2 の基部 2 a の幅 w 1 によりほぼ決まるものであり、この幅 w 1 をエッチング等により正確に形成することができるから、所望のインピーダンスを正確に得ることができる。又上部 2 b は基部 2 a 上に形成し、インピーダンスに与える影響は殆どないから、鍍金等により容易に形成することができる。

第2図は本発明の実施例の製造工程説明図であり、(a)に示すように、誘電体基板 1 1 上に、所望のインピーダンスが得られるように決定された幅

の導体の基部 1 2 を形成する。厚さは 0.3 μm ~ 3 μm とすることができる。この基部 1 2 は、誘電体基板 1 1 の全面に金属層を形成し、ホトエッティングにより形成することができるものであり、幅 5 μm 程度の基部 1 2 を正確に形成することができる。

又モノリシック型のマイクロ波集積回路のマイクロストリップラインを形成する場合、GaAs 基板に形成した電界効果トランジスタのソース及びドレインの配線形成時の金属層を利用することができます。例えば、ソースとドレインとのオームックコンタクトをとる為の Au - Ge 層を形成し、その上に Au 層を形成して、全体で 0.3 μm ~ 0.5 μm の厚さとし、ソース及びドレインの配線のバーニングと同時にマイクロストリップラインの基部 1 2 のバーニングをホトエッティング工程により行うことができる。なお、前述のオームックコンタクトをとる為の Au - Ge 層は n 型に対するものであるが、p 型の場合は、Au - Zn 層を形成するものである。

(7)

(8)

次に(b)に示すように、Si₂O や Si₃N₄ 等の絶縁層 1 3 を形成し、基部 1 2 の上に、ホトエッティング工程等により接続用穴 1 4 を形成して、基部 1 2 の一部を露出させる。この絶縁層 1 3 の厚さは、基部 1 2 の厚さと同程度以上とする。

次に(c)に示すように、Au 等の金属層 1 5 を全面に形成し、この金属層 1 5 と基部 1 2 とを接続用穴 1 4 に於いて接続した構成とする。

次に(d)に示すように、レジスト等をマスクとして、金属層 1 5 を電極として Au 等の金属を、厚さ 1 ~ 3 μm に鍍金して、マイクロストリップラインの導体の上部 1 6 を形成する。

次に(e)に示すように、イオンミーリング等により、上部 1 6 の直下以外の金属層 1 5 を除去し、絶縁層 1 3 もエッティング液等により除去する。従って、基部 1 2 上に金属層 1 5 を介した上部 1 6 が形成された断面 T 字状のマイクロストリップラインの導体が形成される。

理想的には、(d)に於ける工程に於いて、絶縁層 1 3 の厚さを基部 1 2 の厚さと同一とし、エッチ

ング等により基部 1 2 の上面を露出させて金属層 1 5 を形成すれば良いことになるが、基部 1 2 の厚さ 1 μm 程度以下の場合は、上部 1 6 の先端が誘電体基板 1 1 に接触しないように、絶縁層 1 3 の厚さは図示のように基部 1 2 の厚さより厚くした方が好適である。又図示を省略した工程により接地導体が形成される。

前述の断面 T 字状の導体の構成に於いて、基部 1 2 の幅は、エッティングにより正確に形成することができ、又上部 1 6 は鍍金により充分な厚さに形成することができるから、所望のインピーダンスを正確に得ることができ、且つ抵抗分が小さくなるから、損失を低減することができると共に、電流容量を増大することができる。

第3図は周波数利得特性曲線図であり、第5図に示す構成で、34 ~ 39 GHz のマイクロ波増幅回路を、厚さ 50 μm の GaAs 基板上に形成し、マイクロストリップラインとして、第4図に示す從来例（曲線 a）、第1図に示す断面 T 字状の導体 2 の基部 2 a の幅 w 1 に対する上部 2 b の

(9)

(10)

幅 w_2 を、1.2倍（曲線b）、2倍（曲線c）、3倍（曲線d）を用いた場合を示す。曲線a、bを比較すると判るように、断面T字状の導体2の基部2aの幅 w_1 に対して、上部2bの幅 w_2 を1.2倍とした場合は、利得の増加は極く僅かであるが、2倍とした場合は、曲線cで示すように、0.3dB程度利得を増大することができ、又3倍とした場合は、曲線dで示すように、0.5dB程度利得を増大することができた。即ち、マイクロストリップラインによる損失を低減することができた。

又第5図に於ける端子41、43からドレイン電流を供給する場合の回路素子47、51のインピーダンスを高くするように、その導体2の基部2aの幅を狭くしても、上部2bが付加されているので、電界効果トランジスタ33、34に充分なドレイン電流を供給することが可能となる。

〔発明の効果〕

以上説明したように、本発明は、基部2aの幅 w_1 の2倍以上の幅の上部2bを有する断面T字

状の導体2を誘電体基板1上に設けたもので、誘電体基板1上の基部2aの幅 w_1 により、マイクロストリップラインに要求されるインピーダンスをほぼ決めることができ、その基部2aはホトエッチング等により形成することができるから、高精度でバーニングすることができる。即ち、要求されるインピーダンスを容易に実現することができる。

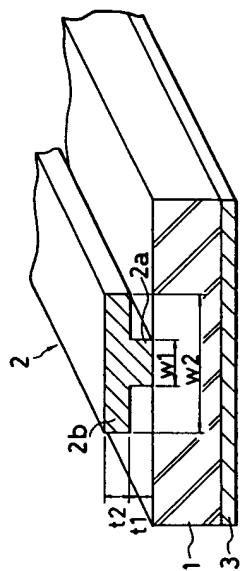
又上部2bの断面積が基部2aの断面積に付加された導体2の断面積となり、損失を低減できると共に電流容量を増大することができる。従って、マイクロ波の大電力增幅回路も容易に製作することができる利点がある。

4 図面の簡単な説明

第1図は本発明の実施例の説明図、第2図(a)～(e)は本発明の実施例の製造工程説明図、第3図は周波数利得特性曲線図、第4図は従来例の説明図、第5図はマイクロ波増幅回路の説明図である。

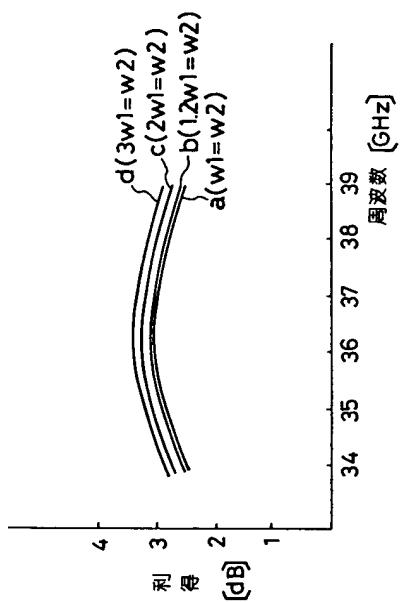
1は誘電体基板、2は導体、2aは基部、2bは上部、3は接地導体である。

(11)

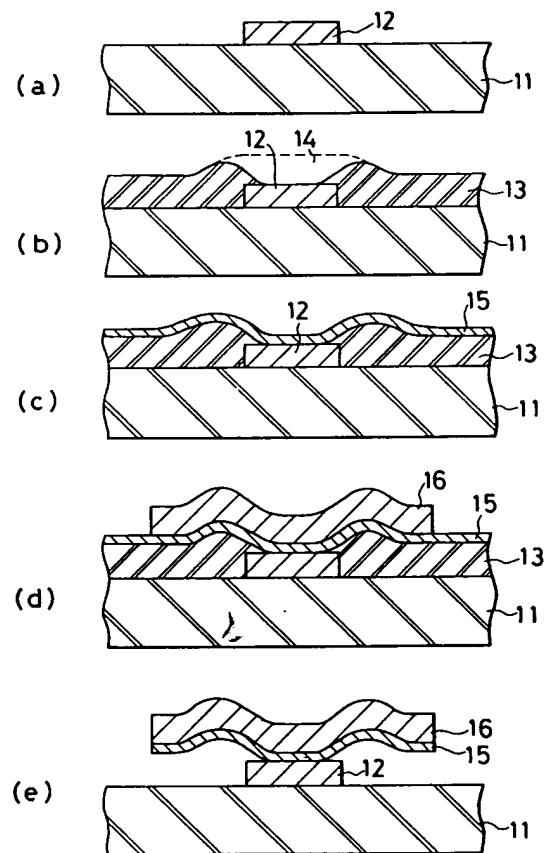


本発明の実施例の説明図
第一図

(12)

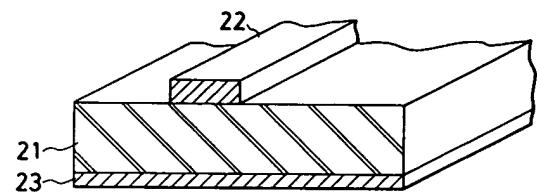


周波数利得特性曲線図
第三図



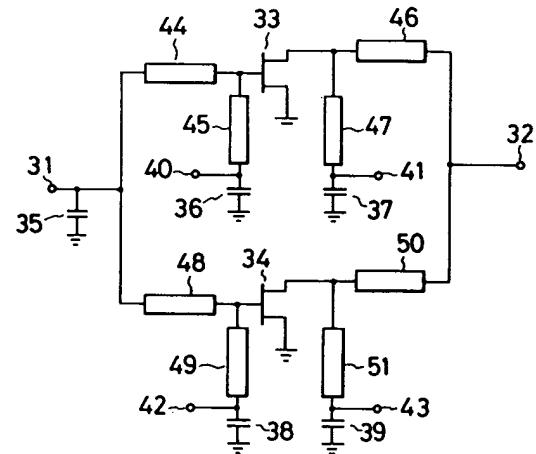
本発明の実施例の製造工程説明図

第 2 図



従来例の説明図

第 4 図



マイクロ波增幅回路の説明図

第 5 図

